

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-289207

(43)Date of publication of application : 04.11.1997

(51)Int.Cl.

H01L 21/316
H01L 27/04
H01L 21/822
H01L 29/78
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 08-101049

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.04.1996

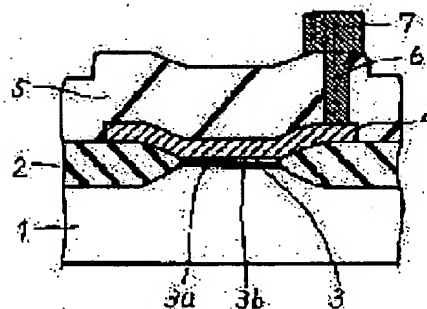
(72)Inventor : KOBAYASHI KIYOTERU

(54) SEMICONDUCTOR DEVICE AND ITS FABRICATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device including an oxide film in which a trouble is difficult to occur and accumulation of negative electric charges due to electron capture is difficult to occur.

SOLUTION: A first silicon oxide film 3a is provided on a first electrode 1. A second silicon oxide film 3b having smaller specific gravity than the first silicon oxide film 3a is provided on the first silicon oxide film 3a. A second electrode 4 is provided on the second silicon oxide film 3b. In the second silicon oxide film 3b, contents of a chloride atom is larger than those of a hydrogen atom.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-289207

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/316			H 0 1 L 21/316	M
				S
				X
27/04			27/04	C
21/822			29/78	3 0 1 G
審査請求 未請求 請求項の数13 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平8-101049

(22) 出願日 平成8年(1996)4月23日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 小林 清輝

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

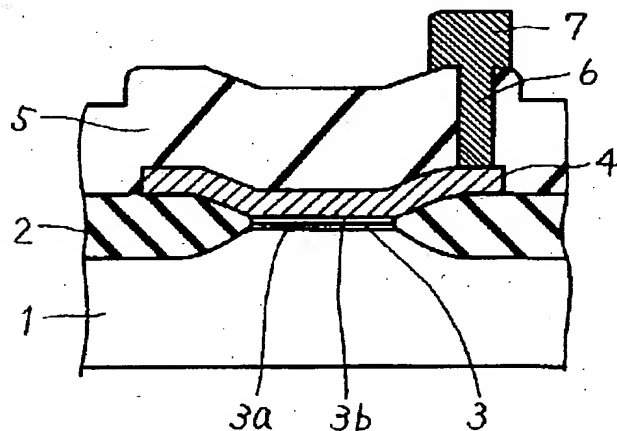
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 故障が発生しにくく、電子捕獲による負電荷の蓄積が起これにくい酸化膜を備えた半導体装置を得ることを主要な目的とする。

【解決手段】 第1の電極1の上に第1のシリコン酸化膜3aが設けられている。第1のシリコン酸化膜3aの上に、該第1のシリコン酸化膜3aより比重の小さい第2のシリコン酸化膜3bが設けられている。第2のシリコン酸化膜3bの上に第2の電極4が設けられている。第2のシリコン酸化膜3b中において、塩素原子の含量は、水素原子の含量よりも大きくされている。



1: シリコン基板

3: ゲート酸化膜

4: ポリシリコン電極

(2)

特開平9-289207

【特許請求の範囲】

【請求項1】 第1の電極と、

前記第1の電極の上に設けられた第1のシリコン酸化膜と、

前記第1のシリコン酸化膜の上に設けられた、前記第1のシリコン酸化膜より比重の小さい第2のシリコン酸化膜と、

前記第2のシリコン酸化膜の上に設けられた第2の電極とを備え、

前記第2のシリコン酸化膜中において、塩素原子の含量は、水素原子の含量よりも大きくされている、半導体装置。

【請求項2】 前記第1のシリコン酸化膜の膜厚を t_1 とし、前記第2のシリコン酸化膜の膜厚を t_2 としたとき、次の不等式を満足する、請求項1に記載の半導体装置。

【数1】

$$\frac{1}{2} < \frac{t_2}{t_1 + t_2} < \frac{5}{6}$$

【請求項3】 前記第1の電極は半導体基板を含み、前記第2の電極はMOSFETのゲート電極を含む、請求項1に記載の半導体装置。

【請求項4】 前記第1の電極は半導体基板を含み、前記第2の電極はフローティングゲートを含む、請求項1に記載の半導体装置。

【請求項5】 前記第1の電極はコントロールゲートを含み、前記第2の電極はフローティングゲートを含む、請求項1に記載の半導体装置。

【請求項6】 半導体基板と、前記半導体基板の上に設けられたシリコンゲート酸化膜と、

前記シリコンゲート酸化膜の上に設けられたゲート電極と、

前記ゲート電極の側壁に設けられ、前記シリコンゲート酸化膜よりも比重の小さいシリコン酸化膜で形成されたサイドウォールスペーサと、を備え、

前記サイドウォールスペーサ中において、塩素原子の含量は、水素原子の含量よりも大きくされている、半導体装置。

【請求項7】 第1の電極と、

前記第1の電極の上に設けられたシリコン窒化膜と、

前記シリコン窒化膜の上に設けられたシリコン酸化膜と、

前記シリコン酸化膜の上に設けられた第2の電極とを備え、

前記シリコン酸化膜中において、塩素原子の含量は、水素原子の含量よりも大きくされている、半導体装置。

【請求項8】 第1の電極と第2の電極との間に挟まれたシリコン酸化膜を含む半導体装置の製造方法であって、

前記第1の電極の上に、熱酸化によって第1のシリコン酸化膜を形成する工程と、

前記第1のシリコン酸化膜の上に、 SiCl_4 ガスと酸化性ガスを用いて、CVD法により第2のシリコン酸化膜を形成する工程と、

前記第2のシリコン酸化膜の上に第2の電極を形成する工程と、を備えた半導体装置の製造方法。

【請求項9】 前記酸化性ガスとして N_2O ガスを用い、減圧CVD法により 1000°C 以下の温度で前記第2のシリコン酸化膜を形成する、請求項8に記載の半導体装置の製造方法。【請求項10】 前記酸化性ガスとして NO ガスを用い、減圧CVD法により 1000°C 以下の温度で前記第2のシリコン酸化膜を形成する、請求項8に記載の半導体装置の製造方法。

【請求項11】 第1の電極の上に、シリコン窒化膜を形成する工程と、

前記シリコン窒化膜の上に、 SiCl_4 ガスと酸化性ガスを用いて、CVD法によりシリコン酸化膜を堆積する工程と、

前記シリコン酸化膜の上に第2の電極を形成する工程と、を備えた半導体装置の製造方法。

【請求項12】 前記酸化性ガスとして N_2O ガスを用い、減圧CVD法により 1000°C 以下の温度で前記第2のシリコン酸化膜を形成する、請求項11に記載の半導体装置の製造方法。【請求項13】 前記酸化性ガスとして NO ガスを用い、減圧CVD法により 1000°C 以下の温度で前記第2のシリコン酸化膜を形成する、請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、一般に半導体装置に関するものであり、より特定的には、故障が発生しにくいように改良された半導体装置に関する。この発明は、また、そのような半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、金属-酸化膜-半導体 (Metal-Oxide-Semiconductor (MOS)) 型トランジスタのゲート酸化膜は、シリコン基板表面を、 O_2 ガスや水蒸気 (H_2O) によって熱酸化することによって形成されてきた。しかし、ヤマベらの文献 (K. Yamabe, K. Taniguchi, and Y. Matsushita, "Thickness dependence of dielectric breakdown failure of thermal SiO_2 films," Proc. 1983 International Reliability Physics Symposium, p.184) に指摘されているように、シリコン基板中の“マイクロデフェクト (microdefect)”に起因して、シリコン基板表面を熱酸化して得られる SiO_2 膜は、“Bモード故障 (B mode failure)”を発生させる。シリコン基板中の“マイクロデフェクト”に起因する

(3)

特開平9-289207

SiO₂ 膜の、このような故障を低減するために、J. Leeらは、気相化学成長法を用いてMOS構造のSiO₂ 膜を形成する方法を提案している(J. Lee, I. C. Chen, and C Hu, "Comparison between CVD and thermal oxide dielectric Integrity," IEEE Electron Device Letter, p.506, EDL-7, 1986)。

【0003】CVD法では、シリコン基板の“マイクロデフェクト”に影響されずに、SiO₂ 膜を形成できるため、故障の発生しにくいSiO₂ 膜を得ることができる。J. Leeらの提案する方法は、SiH₄ ガスとO₂ ガスを原料とする減圧CVD法であり、成長温度は450℃である。

【0004】一方、Y. H. Leeらは、熱酸化法で成長したSiO₂ 膜を形成し、さらにその上に、SiH₂Cl₂ ガスとN₂Oガスを原料とする900℃の減圧CVD法で、SiO₂ 膜を形成し、積層構造のSiO₂ 膜を形成する方法を提案している。

【0005】

【発明が解決しようとする課題】しかしながら、上記Y. H. Leeらの方法で製造したPチャネルMOSトランジスタにおいては、ホットキャリア特性が低下するということが指摘されている。この原因は、CVD法で成膜したSiO₂ 膜の電子捕獲速度が大きいためと考えられている。

【0006】電子捕獲速度が大きい原因は、SiH₂Cl₂ ガスとN₂Oガスとの反応で生成したH₂OがSiO₂ 膜中に取込まれ、Si-OH結合を形成するためと考えられる。Si-OH結合は、電子トラップ中心になると考えられている。SiH₄ ガスとO₂ ガスを原料とする減圧CVD法の場合にも、H₂Oの生成が起こると考えられる。すなわち、SiH₂Cl₂ やSiH₄ などの水素を含んだ原料と、N₂OやO₂ などの酸素を含んだ原料との反応においては、H₂Oの生成が避けられない。結果として、この方法では電子捕獲速度が小さいSiO₂ 膜を形成することは困難である。

【0007】それゆえに、この発明の目的は、故障が発生しにくいように改良された、半導体装置を提供することにある。

【0008】この発明のさらに他の目的は、電子捕獲速度が小さいSiO₂ 膜を有する半導体装置を提供することにある。

【0009】この発明の他の目的は、故障が発生しにくく、電子捕獲速度が小さいSiO₂ 膜を有する半導体装置を製造する方法を提供することにある。

【0010】

【課題を解決するための手段】この発明の第1の局面に従う半導体装置は、第1の電極を備える。上記第1の電極の上に第1のシリコン酸化膜が設けられている。上記第1のシリコン酸化膜の上に、該第1のシリコン酸化膜より比重の小さい第2のシリコン酸化膜が設けられてい

る。上記第2のシリコン酸化膜の上に、第2の電極が設けられている。上記第2のシリコン酸化膜中において、塩素原子の含量は水素原子の含量よりも大きくされている。

【0011】この発明の第2の局面に従う半導体装置は、半導体基板を備える。上記半導体基板の上にシリコンゲート酸化膜が設けられている。上記シリコンゲート酸化膜の上にゲート電極が設けられている。上記ゲート電極の側壁に、上記シリコンゲート酸化膜より比重の小さいシリコン酸化膜で形成されたサイドウォールスペーサが設けられている。上記サイドウォールスペーサ中において、塩素原子の含量は、水素原子の含量よりも大きくされている。

【0012】この発明の第3の局面に従う半導体装置は、第1の電極を備える。上記第1の電極の上にシリコン窒化膜が設けられている。上記シリコン窒化膜の上にシリコン酸化膜が設けられている。上記シリコン酸化膜の上に第2の電極が設けられている。上記シリコン酸化膜中において、塩素原子の含量は、水素原子の含量よりも大きくされている。

【0013】この発明の第4の局面に従う半導体装置の製造方法においては、まず、第1の電極の上に、熱酸化によって第1のシリコン酸化膜を形成する。上記第1のシリコン酸化膜の上に、SiCl₄ ガスと酸化性ガスを用いて、化学気相成長法により第2のシリコン酸化膜を形成する。上記第2のシリコン酸化膜の上に第2の電極を形成する。

【0014】以下、本発明の作用効果について説明する。SiH₂Cl₂、SiH₄ などの水素を含んだ原料とN₂OやO₂ などの酸素を含んだ原料を用いたCVD法で成膜したSiO₂ 膜は、電子捕獲速度が大きいため、MOSトランジスタのホットキャリア特性に優れたゲート酸化膜を形成することが困難である。従来、このようなSiO₂ 膜の電子捕獲の原因として、水に関係したトラップ中心の存在が指摘されている。

【0015】さらに、J. LeeやY. H. Leeらの文献に開示された方法では、CVD法によりSiO₂ 膜を堆積する場合、原料ガスとして、SiH₂Cl₂ ガスとSiH₄ ガスが用いられている。このような水素を含んだ原料ガスを、O₂ ガスやN₂Oガスのような酸化剤と反応させるとき、副生成物として水(H₂O)が発生する。このため、成膜したSiO₂ 膜中に、水に起因するトラップ中心が形成され、電子捕獲が起こりやすくなることが実証されている。

【0016】本発明における薄膜の形成方法では、SiCl₄ ガスを原料とするCVD法により、SiO₂ 膜を形成する。この原料は水素を含まないため、SiO₂ 膜中に、水に起因するトラップ中心が形成されず、トラップ中心密度の低いSiO₂ 膜が形成できる。また、CVD法を用いるため、シリコン基板の“マイクロデフェク

(4)

特開平9-289207

ト”に影響されずに、 SiO_2 膜を形成でき、故障の発生しにくい SiO_2 膜を得ることができる。

【0017】しかし、 SiCl_4 ガスを用いると、副生成物として塩素ガス(Cl_2)が発生する。 Cl_2 はシリコン基板をエッチングして、シリコン基板の表面を荒らす。このため、シリコン基板表面に、 SiCl_4 ガスを原料とするCVD法により、 SiO_2 膜の形成を行なうと、形成された SiO_2 膜は絶縁性が極めて低いものとなる。

【0018】この問題点を解決するために、本発明における薄膜の形成方法では、シリコン基板の表面を熱酸化または熱窒化し、 SiO_2 膜または Si_3N_4 膜を薄く形成してから、 SiCl_4 ガスと酸化剤を原料とするCVD法を行ない、積層絶縁膜を形成する。その結果、故障の発生しにくい絶縁膜を得ることができる。

【0019】また、シリコン基板の表面を熱酸化または熱窒化し、 SiO_2 膜または Si_3N_4 膜を薄く形成した後であっても、 SiCl_4 ガスを用いて減圧CVDにより、 SiO_2 膜の堆積を行なう場合には、次のような問題が生じる。すなわち、温度が 1000°C 以上になると、シリコン基板の表面に形成された SiO_2 膜または Si_3N_4 膜が局所的にエッチングされ、ピンホールが発生する。このピンホール部でシリコン基板のエッチングが進み、シリコン基板表面を荒らす。このため、形成された SiO_2 膜の絶縁性は、極めて低いものとなる。それゆえに、この発明の好ましい製造方法では、シリコン基板表面を熱酸化または熱窒化し、それによって、 SiO_2 膜または Si_3N_4 膜を薄く形成した後、 SiCl_4 ガスと酸化剤を原料とするCVDを 1000°C 以下で行ない、積層絶縁膜を形成する。こうすることで、故障の発生しにくい絶縁膜が得られる。

【0020】このように、 SiCl_4 ガスと酸化剤を原料とするCVDで、シリコン酸化膜を形成すると、得られるシリコン酸化膜には、水素原子はほとんど含まれない。一方、シリコン酸化膜中には、塩素原子が多少残存する。したがって、この方法によると、塩素原子の含量が水素原子の含量よりも大きくされたシリコン酸化膜が得られる。この点において、この方法によって得られたものは、上記J. Leeらの方法によって得られたものと異なる。すなわち、J. Leeらの方法によって得られたシリコン酸化膜中においては、水素原子の含量が大きく、一方、塩素原子は全く含まれない。

【0021】

【発明の実施の形態】以下、この発明の実施の形態を図について説明する。

【0022】実施の形態1

図1は、この発明の実施の形態1に係るMOSキャパシタの断面図である。MOSキャパシタは、シリコン基板— SiO_2 膜— n^+ ポリシリコン構造を有する。MOSキャパシタを用いて、シリコン基板の表面に成膜した SiO_2 膜3の電子捕獲特性を調べた。

シリコン基板1として、 n 型(100)シリコン基板を使用した。基板の比抵抗は、約 $15\Omega\text{cm}$ である。MOSキャパシタの作製には、まずLOCOS法により、 4000\AA の分離酸化膜2を形成した。その後、水蒸気雰囲気中で約 800°C の温度で、 300\AA の犠牲酸化膜を成長させ、この犠牲酸化膜を1%HF溶液によって除去した。引き続き、積層構造のゲート酸化膜3を、以下の5種類の方法で形成した。

【0023】(1) 電気炉に、シリコン基板1を挿入し、 750°C の温度で、圧力 760 トルのもとで、水蒸気を用いて、熱酸化することにより、約 30\AA の SiO_2 膜3aを成長させた。その後、別の電気炉にシリコン基板を挿入し、 900°C の温度で、圧力 1 トルのもとで、 SiCl_4 ガスと N_2O ガスを用いて、減圧CVD法により、約 30\AA の SiO_2 膜3bを堆積し、約 60\AA の積層構造の、 SiO_2 膜3を形成した。

【0024】(2) 熱酸化法だけで形成したゲート酸化膜3を有する試料も、比較例として作製した。熱酸化法によるゲート酸化膜は、電気炉を用いて 750°C の温度で、圧力 760 トルのもとで、 O_2 を用いて成長させて得た。 SiO_2 膜3の膜厚は、約 60\AA であった。

【0025】(3) 電気炉を用いて、シリコン基板を、 750°C の温度で圧力 760 トルのもとで、水蒸気を用いて、熱酸化することにより、約 30\AA の SiO_2 膜(図1中、3a)を成長させた。その後、別の電気炉に、シリコン基板を挿入し、 850°C の温度で、圧力 0.5 トルのもとで、 SiH_2Cl_2 ガスと N_2O ガスを用いて、減圧CVD法により、約 30\AA の SiO_2 膜(図1中、3b)を堆積し、約 60\AA の積層構造の SiO_2 膜3を形成した。これも比較例として使用する試料とした。

【0026】(4) 電気炉にシリコン基板を挿入し、 900°C の温度で、圧力 1 トルのもとで、 SiCl_4 ガスと N_2O ガスを用いて、減圧CVD法により約 60\AA の SiO_2 膜3を形成した。

【0027】(5) 電気炉にシリコン基板1を挿入し、 750°C の温度で、圧力 760 トルのもとで水蒸気を用いて熱酸化することにより、約 30\AA の SiO_2 膜を成長させる。その後、別の電気炉にシリコン基板を挿入し、 1000°C の温度で、圧力 1 トルのもとで、 SiCl_4 ガスと N_2O ガスを用いて、減圧CVD法により、 SiO_2 膜を堆積し、積層構造の SiO_2 膜3を形成した。

【0028】以上の5つの方法で SiO_2 膜3を形成した後、減圧CVD法によって、約 2000\AA のドーパトポリシリコン膜を堆積した。次に、フォトリソグラフィとエッチングにより、ドーパトポリシリコン膜を所定のパターンに加工し、 900°C の窒素雰囲気中でアニールを行ない、リン濃度が $6\times 10^{20}\text{cm}^{-3}$ の n^+ ポリシリ

(5)

特開平9-289207

コン電極4を形成した。引き続いて、減圧CVD法を用いて、約5000Åのシリコン酸化膜5を堆積し、850℃の窒素雰囲気中でアニールを行なった。その後、フォトリソグラフィとエッチングによって、シリコン酸化膜5中に、コンタクトホール6を形成した。コンタクトホール6内に埋込まれるように、スパッタ法で、Al-Si-Cu合金をシリコン基板1の上に堆積し、これをフォトリソグラフィとエッチングによって所望のパターンに加工し、アルミ電極7を形成した。最後に、450℃の水素雰囲気中でアニールを行なった。形成されたMOSキャパシタの面積は、1.0mm²である。

【0029】図2は、(1)の方法で作成したゲート酸化膜(CVD酸化膜(1))というのを有するMOSキャパシタと熱酸化法で作成したゲート酸化膜(熱酸化膜(2))というのを有するMOSキャパシタとの性能を比較した図である。図2は、シリコン基板1を接地し、ポリシリコン電極4に正電圧を加えて+0.4A/cm²の一定電流を流したときの、絶縁破壊によって故障に至ったMOSキャパシタの累積故障率(縦軸)と電圧印加時間(横軸)との関係を示したグラフである。熱酸化膜(2)の場合には、電圧印加時間の短い10秒以下の領域で故障が起こっているのに対し、CVD酸化膜(1)では故障が見られない。なお、上記(4)および(5)で作成したゲート酸化膜は、絶縁耐圧が低く、+0.1A/cm²の一定電流を流したとき、すべての試料が0.1秒以下で破壊した。すなわち、CVD酸化膜(1)を用いることが、絶縁破壊を抑制する方法として、最も有効であった。

【0030】次に、CVD酸化膜(1)、CVD酸化膜(3)と熱酸化膜(2)を有するMOSキャパシタを用いて、別の試験を行なった。シリコン基板1を接地し、ポリシリコン電極4に正電圧を加えて、一定電流(電流密度5mA/cm²)を流し、ゲート電圧の変化ΔV_gを測定した。

【0031】ゲート電圧の変化ΔV_gを電流注入時間に対してプロットした結果を、図3に示す。図3を参照して、CVD酸化膜(3)の場合に、変化ΔV_gが増加を示した。これは、次のことを示している。すなわち、CVD酸化膜(3)中に電子が捕獲され、それによってCVD酸化膜(3)中に負電荷が形成される。この負電荷のために電流が流れにくくなり、そのため、一定電流を流すためのより高い電圧が必要になったのである。一方、CVD酸化膜(1)では、電圧が減少し、酸化膜中に正電荷が形成されたことを示している。すなわち、CVD酸化膜(1)を用いることが、電子捕獲による電荷の蓄積を抑制する方法として、最も有効であった。

【0032】実施の形態2

本発明の実施の形態2は、CVD法による酸化膜を形成する他の方法に係る。まず、シリコン基板を熱酸化することにより、SiO₂膜を形成する。その後、SiCl

4ガスとNOガスを用いて、減圧CVD法により、1000℃以下の温度でSiO₂膜を堆積する。この方法によって、積層酸化膜を形成しても、発明の実施の形態1の場合と同様の効果を奏する。

【0033】実施の形態3

上記発明の実施の形態では、シリコン基板上に熱酸化膜を形成し、その後CVD法によって酸化膜を形成する場合を例示したが、この発明はこれに限られるものではない。

【0034】シリコン表面を、たとえば900℃でNH₃雰囲気中で、熱窒化して、該シリコン表面の上に約15ÅのSi₃N₄膜を形成する。その後、SiCl₄ガスとNOガスを用いて、減圧CVD法により、Si₃N₄膜の上に1000℃以下の温度でSiO₂膜を堆積させる。そして、積層構造のゲート酸化膜を形成する。この方法によっても、上記発明の実施の形態1と同様の効果を奏する半導体装置が得られる。

【0035】実施の形態4

上記発明の実施の形態では、MOSキャパシタを例示したが、この発明はこれに限られるものではない。図4は、この発明の実施の形態4に係るMOSTランジスタの断面図である。図4を参照して、シリコン基板1(第1の電極)の表面中に、ソース/ドレイン領域8が形成されている。シリコン基板1の上に、熱酸化法によって形成されたシリコン酸化膜3aが形成されている。シリコン酸化膜3aの上に、SiCl₄ガスとN₂Oガスを用いて、減圧CVD法により形成されたSiO₂膜3bが形成されている。ゲート酸化膜(3a、3b)の上に、ゲート電極9(第2の電極)が形成されている。図4を参照して、シリコン酸化膜3aの比重は、シリコン酸化膜3bの比重よりも大きい。また、シリコン酸化膜3b中の、塩素原子の含量は、水素原子の含量よりも大きくされている。すなわち、シリコン酸化膜3bを形成する原料ガスとして、SiCl₄ガスを用いているので、シリコン酸化膜3b中には、水素原子はほとんど含まれない。一方、シリコン酸化膜3b中には、塩素原子が残存している。

【0036】MOSTランジスタのゲート酸化膜をこのような積層構造にすることによって、故障が発生しにくく、かつ電子捕獲による負電荷の蓄積が起りにくいゲート酸化膜となる。

【0037】なお、ゲート酸化膜3aの膜厚をt₁とし、ゲート酸化膜3bの膜厚をt₂としたとき、次の不等式を満足するのが好ましい。

【0038】

【数2】

$$\frac{1}{2} < \frac{t_2}{t_1 + t_2} < \frac{5}{6}$$

【0039】すなわち、総膜厚(t₁ + t₂)を60Åとしたとき、t₂は30~50Åであるのが好ましい。

(6)

特開平9-289207

【0040】実施の形態5

図5は、本発明の実施の形態5に係るフラッシュメモリの断面図である。図5を参照して、シリコン基板1の主表面中に、ソース／ドレイン領域8が形成されている。シリコン基板1の上に、熱酸化で形成したシリコン酸化膜3aが形成されている。シリコン酸化膜3aの上に、 SiCl_4 ガスと N_2O ガスを用いて、減圧CVD法により形成したシリコン酸化膜3bが設けられている。シリコン酸化膜3bの上にフローティングゲート10が設けられている。フローティングゲート10の上に、熱酸化によって形成したシリコン酸化膜11aが設けられている。シリコン酸化膜11aの上に、 SiCl_4 ガスと N_2O ガスを用いて、減圧CVD法により形成したシリコン酸化膜11bが設けられている。シリコン酸化膜11bの上に、コントロールゲート12が設けられている。シリコン基板1とフローティングゲート10の間の絶縁膜を、このような積層構造にし、かつフローティングゲート10とコントロールゲート12との間の絶縁膜を、このような積層構造にすることによって、故障が発生しにくく電子捕獲による負電荷の蓄積が起こりにくい絶縁膜となり、半導体装置の特性が向上する。

【0041】実施の形態6

上記発明の実施の形態は、第1の電極と第2の電極との間に挟まれたシリコン酸化膜に関するものであったが、この発明はこれに限られるものではない。

【0042】図6は、本発明の実施の形態6に係る半導体装置の断面図である。シリコン基板1の主表面に、LDD構造のソース／ドレイン領域8が設けられている。シリコン基板1の上に熱酸化法によって形成されたシリコン酸化膜13が形成されている。シリコン酸化膜13の上にリンドープトポリシリコンからなるゲート電極14が設けられている。ゲート電極14の側壁に、 SiCl_4 ガスと N_2O ガスを用いて、減圧CVD法により形

成された、シリコン酸化膜からなるサイドウォールスペーサ15が設けられている。サイドウォールスペーサ14を、 SiCl_4 ガスと N_2O ガスを用いて、減圧CVD法により形成することによって、電子捕獲による負電荷の蓄積が起こりにくいものとなる。得られたサイドウォールスペーサ中において、塩素原子の含量は、水素原子の含量よりも大きくされている。

【0043】

【発明の効果】以上説明したとおりこの発明によれば、シリコンの熱酸化によって形成したシリコン酸化膜の表面に、 SiCl_4 ガスと N_2O 、NO、または O_2 ガスなどの酸化性ガスを用いて、CVD法により SiO_2 膜を堆積し、積層構造のシリコン酸化膜を得るので、故障が発生しにくく、電子捕獲による負電荷の蓄積が起こりにくい酸化膜を得ることができる。その結果、信頼性の高い半導体装置が得られるという効果を奏する。

【図面の簡単な説明】

【図1】 本発明の実施の形態に係るMOSキャパシタの断面図である。

【図2】 MOSキャパシタの累積故障率と電圧印加時間との関係を示したグラフ図である。

【図3】 ゲート電圧の変化 ΔV_g と電流注入時間との関係をプロットしたグラフ図である。

【図4】 この発明の他の実施の形態に係るMOSトランジスタの断面図である。

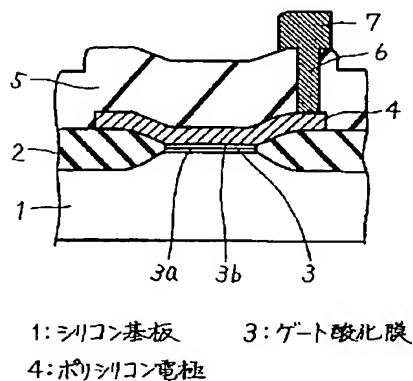
【図5】 この発明のさらに他の実施の形態に係るフラッシュメモリの断面図である。

【図6】 この発明のさらに他の実施の形態に係るMOSFETの断面図である。

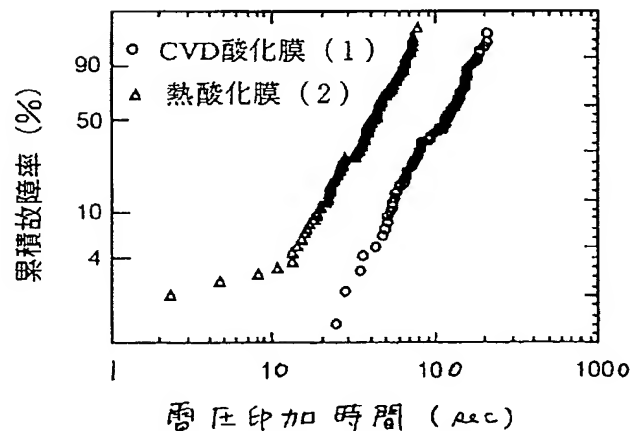
【符号の説明】

1 シリコン基板、3 ゲート酸化膜、4 ポリシリコン電極。

【図1】



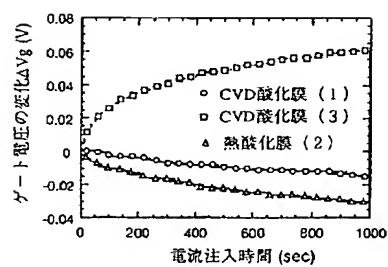
【図2】



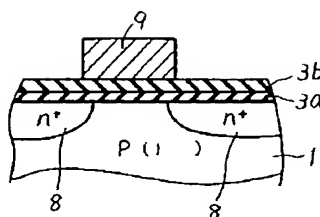
(7)

特開平9-289207

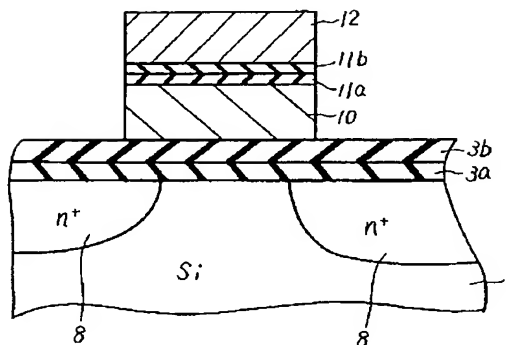
【図3】



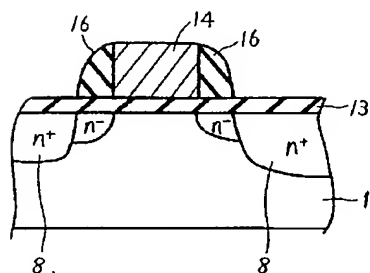
【図4】



【図5】



【図6】



フロントページの続き

(51)Int. Cl.⁶

H01L 29/78
21/8247
29/788
29/792

識別記号

庁内整理番号

FI

H01L 29/78

371

技術表示箇所